

学校编码: 10384

分类号_____密级_____

学 号: 19820131152988

UDC_____

厦 门 大 学

硕 士 学 位 论 文

远程等离子体辅助原子层沉积技术制备 HfO_2 薄膜及
 HfO_2/Ge 界面性质研究

Growth of HfO_2 thin film by Remote Plasma Atomic Layer
Deposition and the properties of HfO_2/Ge interface

池晓伟

指导教师姓名: 李 成 教 授

专 业 名 称: 电子与通信工程

论文提交日期: 2016 年 月

论文答辩时间: 2016 年 月

学位授予日期: 2016 年 月

答辩委员会主席: _____

评 阅 人: _____

2016 年 月

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为()课题(组)的研究成果,获得()课题(组)经费或实验室的资助,在()实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

（ ） 1. 经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

（ ） 2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

厦门大学博硕士论文摘要库

摘 要

随着器件等比例缩小难度和成本的不断增加,以 Si 作为沟道材料 SiO_2 作为栅介质的传统 CMOS 发展接近物理极限,高 K 介质 HfO_2 栅高迁移率 Ge 沟道 MOSFET 成为未来 CMOS 集成电路技术发展的潜在选择之一。然而 metal/ HfO_2 /Ge 结构 MOS 器件存在界面态密度高、栅极漏电流大等问题,因此研究高质量 HfO_2 薄膜生长技术和减少 HfO_2 /Ge 界面态是提高 metal/ HfO_2 /Ge MOS 器件性能的有效途径之一。

本文采用远程等离子体辅助原子层沉积法(RP-ALD)生长 HfO_2 薄膜,优化了 HfO_2 薄膜的生长(温度)条件,研究了快速热退火(RTA)处理对薄膜性质的影响;采用原子层沉积系统(ALD)原位 N_2 等离子体预处理法减小了 HfO_2 /Ge 界面态密度,并获得了较小的电容等效氧化层厚度(CET)。本文的主要工作内容和取得的结果如下:

1.优化了 RP-ALD 生长 HfO_2 薄膜的条件。当反应腔温度为 250°C 时生长的 HfO_2 薄膜质量和电学性能最优。在该温度下, HfO_2 生长速率为 0.0894nm/cycle ,薄膜表面 RMS 小于 0.4nm ,元素 O/Hf 组分为 2.104 且不同深度薄膜组分均匀一致。此外, HfO_2 薄膜中含有微量的 N 元素,相应的化学键为 Hf-O-N 键。

2.研究了快速热退火(RTA)对 HfO_2 薄膜性质的影响。结果显示 RTA 处理可以修复 HfO_2 薄膜中氧化物陷阱等缺陷,降低 HfO_2 介质薄膜的软击穿现象发生的几率。其中 RTA 处理温度为 400°C 和 450°C 时, HfO_2 薄膜的电学性质较为理想,介电常数较大;RTA 处理温度为 500°C 时, HfO_2 薄膜多晶化程度较高,引起介电常数下降。

3.研究了 N_2 等离子体预处理对 HfO_2 /Ge 界面性质的影响。结果表明 N_2 等离子体预处理 Ge 表面,可以有效去除 Ge 表面的不完全氧化层(GeO_x),从而降低高 K 介质与 Ge 界面态密度。将 HfO_2 /n-Ge 界面态密度减小至 $5.5 \times 10^{11} \text{eV}^{-1}\text{cm}^{-2}$,而 HfO_2 /p-Ge 界面态密度减小至 $1.7 \times 10^{12} \text{eV}^{-1}\text{cm}^{-2}$ 。同时也减小了 Ge MOS 电容器件的电容等效氧化层厚度(CET)。

关键词: 远程等离子体辅助原子层沉积、 HfO_2 /Ge 界面、 N_2 等离子体预处理

Abstract

As the scaling of silicon integrated circuits almost approaches its physical limitation, germanium becomes one of the candidates to replace silicon as channel material with HfO_2 dielectric for future development of CMOS technology. However, the critical issues for metal/ HfO_2 /Ge MOS devices, such as high leakage current density and poor gate stack HfO_2 /Ge interface, severely deteriorate the performance of Ge MOS devices. Correspondingly, deposition of high quality HfO_2 thin film and reduction of HfO_2 /Ge interface density are required to improve the performance of metal/ HfO_2 /Ge MOS devices.

In this thesis, HfO_2 thin film is grown by Remote plasma Atomic Layer deposition (RP-ALD), and the deposition temperature of HfO_2 thin film is optimized. Furthermore, the influence of Rapid Thermal Annealing (RTA) treatment for HfO_2 thin film is investigated. On the other hand, N_2 plasma pretreatment is used to reduce HfO_2 /Ge interface density, and quite small Capacitance Equivalent Oxide thickness (CET) is obtained. The main works are summarized as follows:

1. Deposition temperature of RP-ALD for HfO_2 is optimized. The HfO_2 thin film deposit at 250°C shows smooth surface, high dielectric constant and small leakage current. The growth rate per cycle is 0.0894nm/cycle , and the surface RMS is less than 0.4nm . The composition of the HfO_2 thin film is uniform in different depth, and the O/Hf ratio is close to 2.104 determined by XPS. A trace N element can be detected in the form of Hf-O-N bond.
2. The influence of rapid thermal annealing (RTA) on the properties of HfO_2 thin film is investigated. It is suggested that the oxide charge traps in HfO_2 layer are significantly reduced by the RTA treatment, which greatly decreases the probability of soft breakdown of HfO_2 thin film. Higher dielectric constant and lower interface states are obtained in the Al/ HfO_2 /Si capacitors after RTA at 400°C or 450°C . Further increasing annealing temperature to 500°C , the electrical performance of the capacitor is deteriorated due to the crystallization of HfO_2 at higher temperature.

3. N₂ plasma pretreatment is investigated to reduce HfO₂/Ge interface density. It is found that N₂ plasma pretreatment on Ge can eliminate GeO_x layer on the surface of Ge, therefore reducing the HfO₂/Ge interface density effectively. The interface state density (D_{it}) of HfO₂/n-Ge can be reduced to $5.5 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$, and the D_{it} of HfO₂/p-Ge can be reduced to $1.7 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$. Simultaneously, the CET of the Ge MOS structures is also reduced.

Key words: Remote plasma Atomic Layer deposition, HfO₂/Ge interface, N₂ plasma pretreatment

目录

第一章 绪论	1
1.1 研究背景与意义	1
1.2 高 k 栅介质的发展现状	4
1.3 HfO ₂ /Ge 界面处理的研究进展	6
1.4 本论文的主要工作与结构安排	11
参考文献:	12
第二章原子层沉积与薄膜表征测试技术	17
2.1 原子层沉积技术原理及特性	17
2.1.1 原子层沉积原理	17
2.1.2 ALD 的自限制特性	18
2.2 Picosun R200 型号 ALD 系统简介	19
2.3 薄膜的表征及测试技术	22
2.3.1 X 射线反射(XRR)	22
2.3.2 原子力显微镜(AFM)	23
2.3.3 X 射线光电子能谱(XPS)	24
2.3.4 MOS 器件电学特性测试	25
2.4 本章小结	27
参考文献	28
第三章 远程等离子辅助原子层沉积方法生长 HfO ₂ 薄膜研究	29
3.1 RP-ALD 沉积 HfO ₂ 薄膜的生长温度优化及性质研究	29
3.1.1 实验设计及工艺流程	29
3.1.2 衬底温度对 HfO ₂ 薄膜性质的影响	30
3.1.3 XPS 分析 HfO ₂ 薄膜组分	33
3.1.4 HfO ₂ 薄膜组分的均匀性及 Ar 离子剥离效应	36
3.2 快速热退火对 HfO ₂ 薄膜的影响	37
3.3 本章小结	42
参考文献	43
第四章 N ₂ 等离子体预处理改善 HfO ₂ /Ge 界面性质的研究	45
4.1 N ₂ 等离子体预处理 Ge 表面及其 HfO ₂ /n-Ge 界面性质分析	45
4.1.1 实验设计及工艺流程	45
4.1.2 N ₂ 等离子体预处理 HfO ₂ /n-Ge 界面的 XPS 分析	46
4.1.3 N ₂ 等离子体预处理对 HfO ₂ /n-Ge 结构 MOS 电容电学性能的影响	47
4.2 HfO ₂ /p-Ge 和 HfO ₂ /n-Ge 样品的界面性质对比	49
4.3 Pt/HfO ₂ (5nm)/n-Ge 结构 MOS 电容的研究	52
4.4 本章小结	55
参考文献	56

第五章 总结与展望	57
致谢	59
附录：硕士期间科研成果	61

厦门大学博硕士论文摘要库

Contents

Chapter 1 Introduction.....	1
1.1 Background and motivation	1
1.2 Reasearch progress of High-k dielectric	4
1.3 Reasearch progress of HfO ₂ /Ge interface passivation.....	6
1.4 Main works of this thesis.....	11
References.....	12
Chapter 2 ALD and thin film characterisition methods	17
2.1 Mechanism of Atomic Layer Deposition technology and characterization of thin films.....	17
2.1.1 Mechanism of Atomic Layer Depsition technology	17
2.1.2 Self-limiting character of Atomic Layer Deposition technology.....	18
2.2 Introduction of Picosun R200 type ALD system	19
2.3 Characterization techniques of thin films	22
2.3.1 X ray reflection (XRR)	22
2.3.2 Atomic force microscorpe (AFM)	23
2.3.3 X ray photoelectron spectroscopy (XPS).....	24
2.3.4 Electrical characteristics measurements of MOS devices	25
2.4 Summary.....	27
References.....	28
Chapter 3 Investigation of HfO₂ thin film growth by Remote plasma Atomic Layer Deposition technology	29
3.1 Deposit temperture optimization and properties of HfO ₂ thin film	29
3.1.1 Design scheme and MOS devices fabrication process	29
3.1.2 Optimization of depostion tempearture for HfO ₂ thin film	30
3.1.3 Composition analysis of HfO ₂ by XPS	33
3.1.4 Uniformity analysis of HfO ₂ thin film and Ar ion sputtering effect	36
3.2 Investigation of RTA treatment for HfO ₂ thin film	37
3.4 Summary.....	42
References.....	43
Chapter 4 Improvement of HfO₂/Ge interface by in situ N₂ plasma pretreatment for Ge MOS devices.....	45
4.1 Effect of N ₂ plasma pretreatment for HfO ₂ /n-Ge interface	45
4.1.1 Design scheme and MOS devices fabrication process	45
4.1.2 XPS analysis of HfO ₂ /n-Ge interface with N ₂ plasma pretreatment....	46

4.1.3 Electrical characteristics of $\text{HfO}_2/\text{n-Ge}$ MOS with N_2 plasma pretreatment	47
4.2 Comparson of $\text{HfO}_2/\text{p-Ge}$ and $\text{HfO}_2/\text{n-Ge}$ sturctures.....	49
4.3 Investigation of $\text{Pt}/\text{HfO}_2(5\text{nm})/\text{n-Ge}$ MOS capacitor	52
4.4 Summary.....	55
References.....	56
Chapter 5 summary and prospects	57
Acknowledgments	59
Appendix Publications and awards.....	61

厦门大学博硕士论文摘要库

第一章 绪论

1.1 研究背景与意义

1947 年世界上第一晶体管在美国贝尔实验室诞生, 半导体微电子技术开始进入并影响人类生活。1958 年 TI 公司研制出世界第一块集成电路, 随后以集成电路(integrated circuit, IC)技术为代表的微电子产业开始快速发展并引领了当代信息技术产业的革命, 推动人类社会进入了信息时代。在经过半个世纪的快速发展, 集成电路技术对电子、电信和计算机等信息技术领域产生了深刻的影响, 并推动了国民经济各个领域的快速发展。

1965 年 Intel 创始人之一的 Gordon Moore 提出了著名的摩尔定律, 他预言单个芯片上所集成的晶体管数量每隔 18 个月就会翻一番^[1]。作为微电子产业的核心技术, CMOS (Complementary-Metal-Oxide-Semiconductor) 集成电路技术一直遵循摩尔定律快速发展着, 先后经历了小规模集成电路(SSIC)、中规模集成电路(MSIC)、大规模集成电路(LSIC)、超大规模集成电路(VLSIC)、特大规模集成电路(ULSIC)等几个阶段。其中不断提高器件的集成度是 CMOS 集成电路技术得以快速发展的关键, 而提高集成度的方法就是不断缩小(scale-down)单个晶体管的特征尺寸^{[2][3]}。目前为止, 晶体管的特征尺寸已缩小到 14nm, 而更小特征尺寸的 CMOS 工艺也在不断研发中, 如表 1.1 所示。

表 1.1 国际半导体技术蓝图(International Technology Roadmap for Semiconductors, ITRS) 2013 对未来 CMOS 器件栅长等比例缩小的预测^[4]

年份	2013	2015	2017	2019	2021	2023	2025	2028
印制栅长(nm) (Printed Gate Length)	28	22	18	14	11	9	7	5
物理栅长(nm) (Physical Gate Length)	20	17	14	12	10	8	7	5

1960 年贝尔实验室的 Kahng 成功研制出了世界上第一只金属-氧化物-半导体场效应晶体管(MOSFET)^[5], 1965 年仙童公司的 Deal 和 Grove 提出了采用常规热氧化法获得高可靠性 SiO₂ 的技术, 这为 MOSFET 技术走向实用奠定了基础^[6]。

在过去 CMOS 集成电路飞速发展的五十年中, SiO₂ 栅氧化层厚度可以很好的配合器件尺寸的等比例缩小, 实现了器件集成度的不断提高。然而, SiO₂ 栅氧化层的厚度终归不能无限缩小, CMOS 工艺在 90nm 节点时 SiO₂ 栅介质厚度(1.2nm)已接近其物理极限。根据 D.A.Muller^[7]和 Hui Wong^[8]等人的实验和理论研究结果, SiO₂ 层需至少包含两层相邻的 O 原子才能维持其本征绝缘特性, 即 SiO₂ 栅的极限厚度为 0.7nm。因此, 为了继续提高芯片中器件的集成度, 同时又要减小功耗, 寻找新的栅介质材料已成为必然的选择。

如图 1.1 所示, MOS 结构与平板电容器相似^[9]。根据平板电容的计算公式:

$$C_{ox} = \frac{k \cdot \epsilon_0 \cdot A}{d} \quad (1-1)$$

其中, A 代表电容面积, ϵ_0 代表真空介电常数($8.85 \times 10^{-14} \text{F/cm}$), d 代表氧化层物理厚度, k 表示有效介电常数。由公式(1-1)可以发现, 保持电容密度不变, 要提高栅氧化层的物理厚度, 就必需选取介电常数较大的栅介质材料来代替传统的 SiO₂。

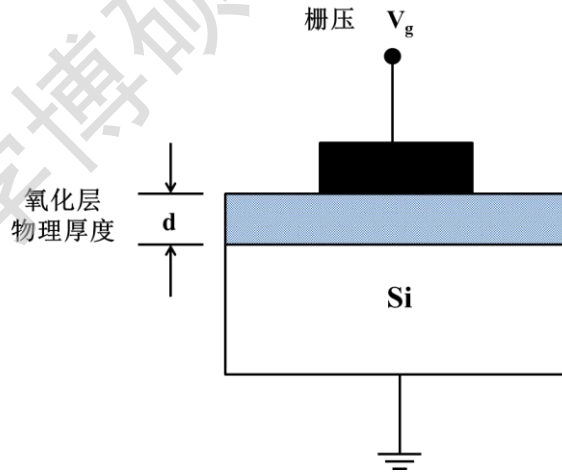


图 1.1 MOS 平行板电容器示意图

为了方便与 Si 标准工艺进行比较, 人们通常使用等效氧化层厚度(Equivalent Oxide Thickness, EOT)来表示高 k 介质的厚度, 其公式表示如下:

$$EOT = \frac{\epsilon_{SiO_2} \cdot d}{k} \quad (1-2)$$

其中, ϵ_{SiO_2} 为 SiO₂ 的相对介电常数(3.9), d 为高 k 介质的物理厚度, k 为高 k 介

质的介电常数。即 k 值越大，其 EOT 越小。这样就可以在保证介质层物理厚度大于极限厚度的前提下，实现器件尺寸进一步地等比例缩小。

除了栅氧化层的问题外，短沟道效应也随着器件尺寸的等比例缩小而变得越来越明显^[10]。所谓的短沟道效应就是，沟道长度变小时，沟道区的电场分布由长沟道时的横向一维分布（受栅电压和衬底背电压控制）变为短沟道时的二维分布（横向由栅极电压和衬底背电压控制，纵向由漏极偏压的控制）。这种情况下，器件的缓变沟道近似（即横向电场远远大于纵向电场）不再成立，则器件的电学特性会发生较大偏离。为了避免短沟道效应，源极漏极采用浅结，并且选用载流子迁移率更大的沟道材料代替 Si 已成为必然的选择。

图 1.2 和 1.3 给出了不同沟道材料的迁移率等参数。可以发现，Ge 材料具有最高的空穴迁移率(Si 的四倍)，而 III-V 族材料则普遍具有更高的电子迁移率。基于这一基础数据，Ge 和 III-V 完全有可能取代 Si 成为沟道材料，而这一发展趋势目前已经列入国际半导体技术发展蓝图(International Technology Roadmap for Semiconductor, ITRS)中^[4]。在 Si 沟道 CMOS 电路中，空穴迁移率比电子迁移率小很多，这使得 p 沟 MOSFET 的开关速度成为是限制集成电路规模的一个重要因素。

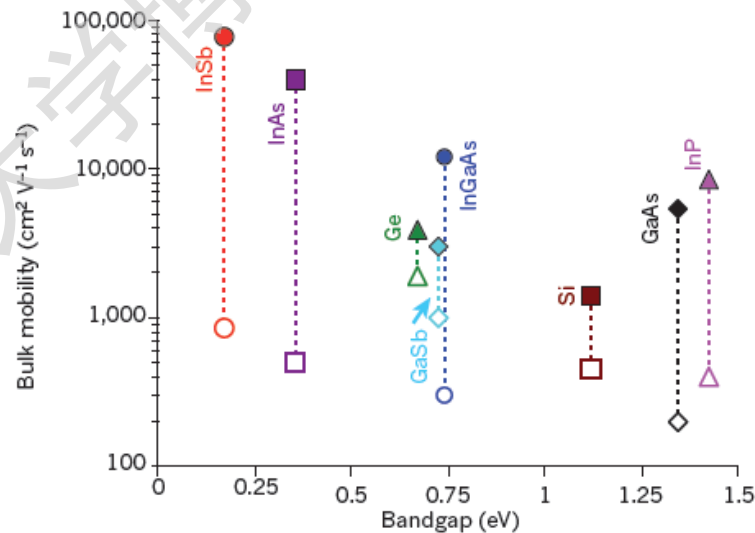


图 1.2 可选的沟道材料载流子迁移率^[11]

空心符号表示空穴迁，实心符号表示电子

	Si	Ge	GaSb	InN	InP	GaAs	InAs	InSb
Band gap (eV)	1.11	0.67	0.726	0.7 or 1.9?	1.34	1.43	0.354	0.17
Breakdown field (MV/cm)	0.3	0.1	0.05	1.2	0.5	0.06	0.04	0.001
Electron mobility (cm ² /V.s)	1350	3900	3000	< 3200	5400	8500	40 000	77 000
Hole mobility (cm ² /V.s)	480	1900	1000	< 80	200	400	500	850
Thermal conductivity (W/cm.K)	1.3	0.58	0.32	0.45	0.68	0.55	0.27	0.18
Lattice constant (Å)	5.43	5.66	6.09	3.533	5.87	5.65	6.06	6.48

 图 1.3 常见半导体材料的迁移率及其它参数对比^[12]

此外, Ge 材料具有较小的禁带宽度(0.67eV), 这有利于降低 MOS 器件的工作电压并减小功耗。又考虑到 Ge 与 Si 工艺能够实现很好地兼容, 这些优势使得 Ge 沟道 MOSFET 器件的研究具有非常重要的研究意义, 目前 Ge MOSFET 的研究已成为微电子领域的研究前沿之一。

1.2 高 K 栅介质的发展现状

高 K 介质的选择

在不断提高 CMOS 集成电路中器件集成度的过程中, 既需要对器件进行等比例缩小, 又要减小器件的功耗。为了解决这一矛盾, 采用高 K 介质代替 SiO₂ 作为栅介质材料成为了必然的趋势^{[13][14]}。所谓高 K 介质, 是介电常数大于 SiO₂ (3.9)的介质材料的统称。在高 K 介质的选择工作中, 除了介电常数值外, 还需要考虑禁带宽度、与衬底的带边匹配、热稳定性及化学稳定性等多重因素的影响。

(1) 具有高的介电常数 (K 值), 意味着可以获得较小的 EOT。因而在同等条件下优先选择 K 值较大的材料。

(2) 较大的禁带宽度($E_g > 5\text{eV}$)和价带导带带边差值($V_{BO} > 1\text{eV}$ 且 $C_{BO} > 1\text{eV}$)。

介质材料的能带结构、介质层的厚度和介质层的缺陷等几种因素都会影响栅极漏电流的大小。载流子的隧穿几率(T)如下面公式所示,

$$T = \exp\left(-2\sqrt{\frac{2qm^*\phi_b}{\hbar^2}}d\right) \quad (1-3)$$

其中, ϕ_b 为势垒高度, 即导带和价带的能带补偿。d 表示栅氧化层的物理厚度。由公式可知当 CBO 和 VBO 较小时, 载流子隧穿通过介质层的几率会大大增加。栅极漏电流会明显变大, 功耗也会明显变多。

(3) 较好的热稳定性和化学稳定性。高 K 介质以金属氧化物为主, 对于热稳定性和化学稳定性不够好的金属氧化物, 金属氧化物中的氧会与 Si 衬底

Degree papers are in the “[Xiamen University Electronic Theses and Dissertations Database](#)”.

Fulltexts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.